



Raspberry Pi 处理器模块上 从 MLC 闪存向 TLC 闪存的过渡

出版信息

© 2022–2026 Raspberry Pi Ltd

本文档根据《[知识共享署名-禁止修改 4.0 国际许可协议](#)》（CC BY-ND 4.0）授权发布

发布版本	2
构建日期	2026年10月7号
构建版本	9b91b9d9cdcb

法律免责声明

Raspberry Pi 产品的技术和可靠性数据（包括数据手册，且可能不时进行修改）（以下简称“资源”）由 Raspberry Pi Ltd（以下简称“RPL”）按“现状”提供。RPL 不作任何明示或暗示的保证，包括但不限于对适销性和特定用途适用性的默示保证，并明确声明不承担此类保证责任。

在适用法律允许的最大范围内，无论因何种原因，也无论基于何种责任理论（包括合同责任、严格责任或侵权责任，包括过失或其他情形），RPL 均不对因使用这些资源而以任何方式产生的任何直接、间接、附带、特殊、惩罚性或后果性损害承担责任，包括但不限于采购替代商品或服务的费用、使用损失、数据丢失、利润损失或业务中断，即使 RPL 已被告知可能发生此类损害。

RPL 保留随时对这些资源或其中所描述的任何产品进行增强、改进、更正或其他修改的权利，且无需另行通知。

这些资源旨在供具备相应设计知识水平的专业用户使用。用户应对其对资源的选择和使用，以及对其中所述产品的任何应用承担全部责任。用户同意赔偿 RPL，并使 RPL 免受因其使用这些资源而产生的所有责任、费用、损害或其他损失的影响。

RPL 授予用户使用这些资源的许可，但仅限于与 Raspberry Pi 产品结合使用。任何其他用途均被禁止。RPL 或任何第三方的其他知识产权权利均未因此授予任何许可。

高风险活动。

Raspberry Pi 产品并非为需要故障安全性能的危险环境而设计、制造或 intended（预期）用于此类环境，例如核设施运行、航空器导航或通信系统、空中交通管制、武器系统或安全关键应用（包括生命维持系统及其他医疗设备）。在这些应用中，产品故障可能直接导致死亡、人身伤害或严重的物理或环境损害（以下简称“高风险活动”）。RPL 明确声明，不对 Raspberry Pi 产品用于高风险活动的适用性提供任何明示或暗示保证，并且不承担因 Raspberry Pi 产品在高风险活动中的使用或纳入其中而产生的任何责任。

Raspberry Pi 产品的提供受 RPL《[标准条款](#)》的约束。RPL 提供这些资源并不会扩大或以其他方式修改 RPL《[标准条款](#)》，包括但不限于其中所载的免责声明和保证条款。

文档版本历史

发布版本	日期	说明
1	2026年6月8号	初始发布
2	2026年7月6号	重大重构

文档适用范围

本文档适用于以下 Raspberry Pi 产品：

处理器模块

CM0	CM1	CM3	CM3+	CM4	CM4S	CM5
			✓	✓	✓	✓

简介

闪存（或 eMMC）构成了现代数据存储的基础。在 Raspberry Pi 处理器模块（不包括 Lite 型号）中，eMMC 闪存用于程序和数据存储；而我们的单板计算机产品系列（截至并包括 Raspberry Pi 5）则使用 SD 卡进行存储。

从本质上讲，闪存通过称为“存储单元”的微型组件来保存数据。这些存储单元管理电荷的结构差异，决定了设备在高负载条件下的持续吞吐量、I/O 性能、可靠性以及制造成本。

目前计算领域中使用最广泛的两类闪存技术是多层单元闪存（Multi-Level Cell，MLC）和三层单元闪存（Triple-Level Cell，TLC）。虽然两者名称相似，但它们的内部架构和运行特性存在显著差异。

重要提示

闪存行业正在从 MLC 技术向 TLC 技术过渡，TLC 正逐渐成为标准技术。这是一场由 TLC 闪存制造优势推动的广泛市场转变。因此，包括 Raspberry Pi 所采用的供应商在内的大多数制造商生产的 MLC 闪存正快速进入淘汰阶段。为应对这一变化，Raspberry Pi 正逐步迁移至 TLC 闪存，并且近期已完成对新的 TLC 闪存器件的认证，使其可用于整个 Raspberry Pi 处理器模块产品系列。

MLC 与 TLC 闪存对比

MLC 与 TLC 之间的根本区别完全在于数据密度。数据密度是指单个物理存储单元中所存储的比特数量。

与所有 NAND 闪存一样，MLC 和 TLC 均采用纠错硬件来确保数据在整个使用寿命期间保持完整性。

闪存转换层

闪存转换层（Flash Translation Layer, FTL）是任何受控闪存设备（例如 eMMC）内部控制器上运行的一种关键固件组件。它充当操作系统与存储设备物理 NAND 闪存芯片之间的转换层，通过模拟传统硬盘驱动器的工作方式，使操作系统能够使用线性的逻辑块地址（Logical Block Addresses, LBAs）对数据进行读写，即使闪存的物理组织结构与传统存储设备存在根本差异。本文档中提及“闪存固件”时，均指运行在 FTL 中的固件。

重要提示

FTL 固件内置于闪存设备本身之中——最终用户无法访问该固件，也无法以任何方式影响其运行。从最终用户的角度来看，它是一个“黑盒”。

多层单元闪存

- **每单元比特数：** 每个存储单元准确存储 2 bit 数据。
- **电压状态：** 需要 4 种不同的电压状态（ 2^2 ）来表示二进制组合（00、01、10、11）。
- **性能：** 写入速度更快，因为存储控制器只需定位并验证 4 个电压区域。
- **耐久性：** 通常可承受 3000~10,000 次编程/擦除（P/E）循环¹。

三层单元闪存

- **每单元比特数：** 每个存储单元存储 3 bit 数据。
- **电压状态：** 需要 8 种不同的电压状态（ 2^3 ）来表示从 000 到 111 的所有组合。
- **性能：** 写入速度通过分阶段管理，以便在 8 个状态之间实现精确的电压定位；实际应用中，SLC 缓存（如下所述）在很大程度上弥补了这一性能差异。
- **耐久性：** 通常可承受 1000~3000 次编程/擦除（P/E）循环¹。

由于 TLC 的解码阈值范围更窄，其原始比特错误率（BER）高于 MLC。BER 还会受到温度影响，并且随着闪存老化，这种影响会进一步增加。¹ 所有引用的原始 P/E 循环次数均为供应商特定数据。

成本与使用寿命

TLC 在使用相同数量物理晶体管的情况下，可提供比 MLC 高 50% 的存储容量。更高的存储密度使 TLC 每 GB 的制造成本显著降低。然而，TLC 更高的存储密度也带来了更窄的状态间电压裕量，这正是现代 TLC 设备需要结合先进固件技术（包括 LDPC 错误校正和磨损均衡）来实现可靠性的原因。在实际使用中，这些技术使 TLC 的可靠性可达到与 MLC 相当的水平。

NAND 存储单元的退化（包括 TLC 和 MLC）取决于对存储块执行擦除操作的次数。退化的影响包括编程阈值电压发生偏移，以及浮栅漏电增加。因此，下文所述的固件优化措施是每一款现代 TLC 设备不可或缺的重要组成部分。

温度

Raspberry Pi 使用的所有 TLC 闪存器件，其温度等级均与之前的 MLC 器件相当，或具有更高的温度规格。

擦除循环退化

擦除循环退化是指闪存存储单元在经历编程/擦除（P/E）循环过程中所产生的物理和电气损耗。其主要原因在于，为了在薄绝缘氧化层中移动电子，需要施加较高电压，而这一过程会随着时间的推移对材料造成物理损伤。

MLC 和 TLC 存储器都会受到这种退化影响。随着时间推移，这种损耗会导致原始比特错误率（BER）升高，并增加 P/E 操作时间——而现代闪存控制器正是针对这些影响而设计的。为了缓解这些物理限制，现代闪存设备依靠配备复杂算法的闪存控制器，在存储介质额定耐久寿命范围内确保可靠运行。

以下章节将更详细地介绍这些缓解措施，并重点说明其在 TLC 存储器中的应用。

软件和固件适配

为了管理磨损均衡和设备使用寿命，固件实现了由供应商专有的算法。这些算法直接运行在闪存设备内部 FTL（闪存转换层）上。

重要提示

这些适配措施完全由闪存设备自身实现。它们不会对 Compute Module 的启动固件或主机操作系统产生任何影响。

高级错误校正码

由于 TLC 具有 8 种电压状态，因此相比 MLC 所使用的 Bose - Chaudhuri - Hocquenghem（BCH）码，TLC 需要更复杂的错误校正码（ECC）。现代 TLC 设备通过采用低密度奇偶校验（Low-Density Parity-Check，LDPC）码来解决这一问题。LDPC 能够提供强大的错误校正能力，其性能远超仅根据存储单元原始特性所预期的水平。

总的来说，LDPC 码在错误校正方面具有更高的可靠性，但需要更强的硬件支持；而 BCH 码在短至中等长度的数据块中具有更低的复杂度。在实际应用中，LDPC 带来的额外处理开销对于典型工作负载而言几乎可以忽略，因此 TLC 与 MLC 之间的读取性能基本相当——这一点也得到了我们的测试结果验证。

动态单层单元缓存

TLC 存储设备采用动态单层单元（SLC）缓存技术，以在突发写入场景下提供高速写入性能，而不受其原存储单元写入速度的限制。

控制器会将一部分 TLC 存储空间作为单层单元（SLC）存储器使用，每个存储单元仅写入 1 bit 数据，而不是 3 bit 数据。这样可以在短时间突发写入期间实现极高的数据传输速度。当存储设备处于空闲状态时，控制器会在后台处理这些数据，将其从高速 SLC 缓存迁移到存储密度更高的 TLC 存储块中。

这一机制对主机系统是透明的，但它并非没有风险，而且在工业应用中常见的持续、高强度写入负载下，这些影响会更加明显：

缓存耗尽（Cache exhaustion）：SLC 缓存是一个容量有限的存储区域，其大小由供应商及其控制器架构决定。当持续写入负载超过控制器后台刷新缓存的能力时，缓存会被填满。一旦缓存满载，后续写入必须直接写入 TLC 存储区域，并以其原生（较慢）的速度运行。因此，只要持续写入负载存在，吞吐量可能会突然大幅下降，且不会提前发出警告。

迁移完整性（Migration integrity）：如果在数据从 SLC 缓存迁移到 TLC 存储区域的过程中发生断电，数据完整性可能会存在较小风险。在使用日志文件系统（journaling file system）的系统中，这种风险会进一步降低，因为日志文件系统正是用于防止此类中断写入情况。

磨损均衡

如果没有负载分配机制，对相同物理存储块反复执行擦除操作会导致这些存储单元过早耗尽。在所有类型的闪存中，高度复杂的动态和静态磨损均衡算法都已集成到 FTL 固件中。

固件会跟踪存储设备中每个存储块的编程/擦除（P/E）循环次数。动态磨损均衡会在空闲存储块之间轮换分配新写入的数据；而静态磨损均衡则会移动很少被修改的“冷数据”（cold data），以确保所有存储块能够均匀磨损。两者结合使用，可确保整个设备以一致的速率发生磨损。

所有闪存设备 FTL 中的磨损均衡算法都非常复杂，并且能够在最终用户不可见的情况下重新映射存储块。最终用户无法对这一过程施加任何影响。例如，某个算法可能检测到设备中的某一区域相比其他区域健康状况较差，同时发现某个特定文件仅被写入过少量次数；此时，它可能会移动这些健康状况较差的存储块，使其用于存储这个较少被写入的文件。

增强的超额预留管理

当存储单元达到其额定耐久寿命末期时，存储设备会使用备用容量对这些单元进行无缝替换。为实现这一功能，闪存固件会将设备总原始容量中的更大比例保留为隐藏空间，这一过程称为“超额预留”（over-provisioning）。

MLC 存储设备可能只需预留约 7% 的闪存块用于维护，而 TLC 存储设备通常需要预留 10%~15% 或更多空间。固件利用这些空间进行垃圾回收、临时缓存以及替换磨损的存储块，从而避免设备故障。大多数闪存供应商已将用户可用区域标准化为 91%。TLC 所需增加的备用存储块空间会占用可用扇区容量。

伪单层单元

前文所述的动态 SLC 缓存是一种临时性的、由控制器管理的缓冲区：数据会在写入 TLC 的过程中经过该缓存，而其占用的容量并不是固定的，也不会被主机看到。这与伪 SLC（通常称为 pSLC）不同，后者会将设备中的某一部分区域永久重新配置。

伪 SLC 通常以增强用户区域（Enhanced User Area，也称为 Enhanced Storage）的形式实现。JEDEC eMMC 标准定义了该功能、相关属性以及主机如何进行配置，但将具体的物理实现方式留给供应商自行决定。

在实际应用中，pSLC 已成为增强用户区域的常用术语，这两个术语经常互换使用。然而，具体某个器件如何实现增强用户区域取决于各供应商，而且仅通过数据手册通常并不容易确定某个器件所采用的具体实现方式。

可靠性并非得到保证

将某一区域配置为 pSLC 模式，本身并不能保证可靠性得到提升。一些供应商会使用真正的单层电压状态来写入 pSLC 存储单元，这能够显著提高该区域的耐久性和数据保持能力。而另一些供应商可能采用增强用户区域实现方式，其相比标准 TLC 工作模式并不能提供明显的耐久性提升，甚至可能完全没有耐久性收益。

警告

配置为 pSLC 模式的闪存器件的行为由供应商定义，而不是由闪存标准规定。Raspberry Pi Ltd 负责帮助客户评估在其 Raspberry Pi Compute Module 上启用 pSLC 是否适合其应用场景，并将在可能的情况下尽力提供相关建议。但是，Raspberry Pi Ltd 可能与闪存供应商签署了保密协议（NDA），这些协议可能会限制其公开发布有关某一特定器件实现方式的信息。

容量权衡

由于 pSLC 区域中的每个存储单元只存储 1 bit 数据，而不是 3 bit 数据，因此启用 pSLC 会降低该区域的可用容量，通常会减少至原始容量的三分之一或更低。这是在可用容量和耐久性之间进行的直接权衡：对于具有高写入负载的客户，可以选择牺牲容量，以换取更能承受此类负载并在整个使用寿命期间保持可靠运行的设备；而对于写入较少、以读取为主的客户，则可能更希望保留完整的 TLC 容量。不存在唯一正确的选择；最终取决于目标应用及其写入特性。

不可逆的一次性操作

无论供应商采用何种实现方式，启用 pSLC（或更广义的增强用户区域）都会被 `mmc-utils` 视为一次性操作。

警告

启用 pSLC 会擦除受影响区域中的所有数据，并且无法通过 `mmc-utils` 撤销该操作。某些供应商可能会提供用于恢复该配置的专用工具，但不能假定所有供应商都支持此功能。

启用 pSLC 应视为设备配置阶段的一项不可逆操作，而不是设备投入运行后生命周期内可修改的设置。因此，pSLC 仅应在安装操作系统之前启用。有关 Raspberry Pi 设备配置流程的更多信息，请参阅 [rpi-sb-provisioner](#)。

总结

是否在 Compute Module 的闪存中启用 pSLC，应根据工作负载需求来决定：

启用 pSLC：配置区域的可用容量会降低；其耐久性和数据保持能力取决于具体闪存供应商的实现方式，而这种实现相比 TLC 是否能够带来显著提升，则不一定。

不启用 pSLC（即使用 TLC）：保留完整的额定容量，其耐久性和数据保持能力如本文档其他部分所述。

注意

在许多情况下，采用容量更大的 TLC 器件可能比将同一器件设置为 pSLC 模式更为理想。

警告

对于需要高可靠性或具有高写入负载的应用，并希望使用 pSLC 的客户，建议在大规模部署之前，通过 applications@raspberrypi.com 联系 Raspberry Pi 应用团队，讨论 pSLC 支持情况，包括其针对模块中所使用的特定闪存器件所提供的可靠性保障。

架构比较

架构比较

特性	MLC 闪存	TLC 闪存
每单元比特数	2	3
电压状态数量	4	8
制造成本	高	低
数据密度	中等	高
原生寿命	3000 – 10,000次 P/E 循环	1000 – 3000 次 P/E 循环
主要采用的ECC	BCH 或基础 LDPC	高级LDPC (软判决)

对 Raspberry Pi 处理器模块用户的影响

Raspberry Pi 预计，对于大多数处理器模组用户而言，不会产生任何明显影响。

重要提示

转向采用 TLC 闪存不需要对软件、固件或编程工具进行任何更改。虽然 TLC 与 MLC 在耐久性和速度方面存在差异，但这些差异几乎完全可以通过上述技术手段得到缓解。

性能

TLC 与 MLC 闪存的读取性能基本相当。写入速度会受到一定影响，但这一影响通常可以通过操作系统缓存机制以及闪存设备内部固件进行优化和缓解。对于超过缓存容量的大规模写入操作，写入性能仍会受到影响。

如果应用对可靠性有极高要求，则可以在所有闪存版本中启用 pSLC 模式。

可靠性

虽然 TLC 存储单元的原始 P/E 循环次数低于 MLC，但通过超额预留、磨损均衡和 SLC 缓存等机制的综合作用，对于绝大多数 Compute Module 应用负载而言，设备的有效使用寿命基本相当。

提示

对于写入密集型应用，选择更高容量的版本可以获得成比例更高的耐久性，因为更大的容量能够提供更多磨损均衡机会。例如，在写入负载保持不变的情况下，将 Raspberry Pi Compute Module 上的闪存容量增加一倍，其闪存寿命也会增加一倍。

用户级优化措施

可以采取多种优化措施来提升闪存的性能和使用寿命，这些措施适用于所有类型的闪存：

- 减少对闪存的写入操作

 - 减少日志写入

 - 避免大量小规模独立写入操作

- 对临时数据使用 RAM 文件系统

- 选择合适的文件系统（例如 OverlayFS）

- 使用设备外部的文件系统（例如本地网络存储、云存储）

更多信息请参阅《[构建更具韧性的文件系统](#)》（Making a More Resilient File System）白皮书。

结论

本白皮书介绍了 MLC 和 TLC 闪存之间的差异。虽然 TLC 闪存存在存储单元级别的原始耐久性低于 MLC，但其更高的容量以及专用固件支持，使其在操作系统层面的实际应用中具有相当的可靠性。

全球范围内 MLC 闪存的供应正在逐渐减少，所有主要制造商都在降低 MLC 的产量。因此，Raspberry Pi 正比此前预期更快地转向采用 TLC 闪存，并且近期已认证多个 TLC 闪存器件用于 Raspberry Pi Compute Module。我们相信这些器件能够提供与 MLC 相当的性能和耐久性。

附录 A：JEDEC 标准

JESD218 和 JESD219A 是由 JEDEC 固态技术协会制定的行业标准，分别定义了用于评估不同应用类别下固态硬盘（SSD）耐久性等级和寿命的测试规则（JESD218）以及测试工作负载（JESD219A）。这些标准的副本可从 [JEDEC 网站](#) 获取，但需要完成注册。

目前，我们正在与所有闪存供应商沟通，以收集符合这些标准的数据。在 Raspberry Pi Ltd 收到相关耐久性数据，并获得供应商授权公开发布后，我们将对本文档进行更新。

附录 B：参考资料

目前网络上有许多比较 MLC、TLC 和 pSLC 的文章。以下列出了一些有用的参考资料：

Swissbit: 《[使用工业级 3D TLC NAND 闪存作为伪 SLC 的 4 个理由](#)》

Micron: 《[企业级 SSD 终极指南](#)》

Everpure: 《[MLC 与 TLC：哪一种 SSD 更好？](#)》

TechRadar Pro: 《[再见 MLC：在 AI 对 NAND 需求旺盛的推动下，QLC 和 TLC 将成为主流 SSD 技术——而 PLC 可能要等到 PB 级 SSD 时代才会出现](#)》

附录 C：测试方案

Raspberry Pi 制定了一套测试流程，所有新器件必须通过这些测试，才能获得在 Raspberry Pi 设备上使用的资格。

C.1 可靠性测试

C.1.1 扩展存储压力测试

这是一项由脚本在被测设备（DUT，Device Under Test）上自动执行的测试。测试会循环执行以下步骤：

- 通过使用随机数据填充根文件系统，对 DUT 进行预处理，使其达到最高 90% 的容量占用，或至少保留 1GB 可用空间；
- 向中央结果收集服务器报告启动状态；
- 循环运行存储基准测试，其中包括顺序读写和随机读写测试；
- 将已完成测试运行的结果上传至服务器；
- 设备运行 2~5 分钟后，随机切断电源输入。

Raspberry Pi OS 已进行以下修改：

- 禁用看门狗重启功能；
- 通过 systemd 单元每日运行 fstrim。

该测试周期用于识别以下相关问题：

- 长期性能表现；
- 磨损行为（坏块替换或寿命耗尽）；
- 对断电事件的恢复能力。

该测试采用高强度测试方式，旨在将典型使用场景下数年的使用压力压缩到一周以内。要通过测试，DUT 必须在每个设备至少完成 1000 次电源循环，并且每组设备累计完成 10,000 次电源循环，同时保持零启动失败。如果设备在断电后无法重新启动，则测试失败。该判定标准涵盖了绝大多数由 FTL 层故障导致的问题。

测试平台会采集 DUT 的预计磨损程度/寿命数据。编程/擦除（P/E）循环次数会根据设备容量和测试时长而变化，但至少会使用预期 P/E 寿命的 30%。测试期间还会记录健康状态警告标志。

想了解更多，欢迎联系我们

如果您对本白皮书有任何疑问，请通过 applications@raspberrypi.com 联系我们。

网站：www.raspberrypi.com



Raspberry Pi

Raspberry Pi is a trademark of Raspberry Pi Ltd